

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-110569

(43)Date of publication of application : 12.04.2002

(51)Int.Cl.

H01L 21/205

C23C 16/34

H01L 33/00

H01S 5/323

(21)Application number : 2000-304570

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 04.10.2000

(72)Inventor : MANNOU MASAYA

(54) METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE, SEMICONDUCTOR
DEVICE AND METHOD OF MANUFACTURING SEMICONDUCTOR SUBSTRATE

(57)Abstract:

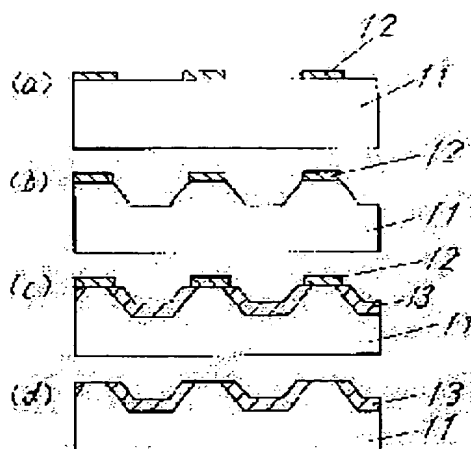
PROBLEM TO BE SOLVED: To suppress the crack and the warp due to the thermal expansion coefficient difference between a growing nitride single crystal film and a dissimilar material-made substrate, thereby suppressing the introduction of defects.

SOLUTION: An SiN mask 12 is formed on a silicon substrate 11 and this substrate is wet etched to form trapezoidal trenches and then settled in an oxidizer furnace heated to about 1,000° C. A silicon oxide film 13 is formed on the surfaces of the trapezoidal trenches as an etching protection film and then a buffer layer 14 and a GaN layer 15 are formed by the MOVPE method.

11 シリコン基板

12 SiNマスク

13 シリコン酸化膜



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of
rejection][Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection][Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号
特開2002-110569
(P2002-110569A)

(43)公開日 平成14年4月12日(2002.4.12)

(51)Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 21/205		H 0 1 L 21/205	4 K 0 3 0
C 2 3 C 16/34		C 2 3 C 16/34	5 F 0 4 1
H 0 1 L 33/00		H 0 1 L 33/00	C 5 F 0 4 5
H 0 1 S 5/323		H 0 1 S 5/323	5 F 0 7 3

審査請求 未請求 請求項の数13 O L (全 7 頁)

(21)出願番号 特願2000-304570(P2000-304570)
(22)出願日 平成12年10月4日(2000.10.4)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 萬濃 正也
大阪府高槻市幸町1番1号 松下電子工業
株式会社内
(74)代理人 100097445
弁理士 岩橋 文雄 (外2名)

最終頁に続く

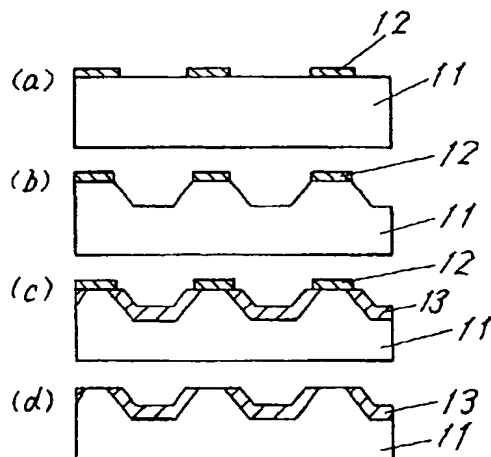
(54)【発明の名称】 半導体装置の製造方法および半導体装置ならびに半導体基板の製造方法

(57)【要約】

【課題】 成長する窒化物単結晶膜と異種材料基板の熱膨張係数差によって生じる亀裂、反りを抑え、欠陥の導入を抑制する。

【解決手段】 シリコン基板11上にSiNマスク12を形成し、シリコン基板11をウエットエッチングして台形溝を形成する。次に、1000℃程度に加熱された酸化炉にシリコン基板11を配置し、エッチング保護膜としてのシリコン酸化膜13を台形溝の表面に形成する。その後、MOVPE法により緩衝層14、GaN層15を順次形成する。

11 シリコン基板
12 SiNマスク
13 シリコン酸化膜



【発明の属する技術分野】本発明は、窒化物半導体膜や窒化物半導体基板を異種材料基板上に形成する方法およびそれにより得られる窒化物半導体膜や窒化物半導体基板等の半導体装置に関する。

【0002】

【従来の技術】GaN、InN、AlN等、一般式が $B \times A_1 y G a_1-x-y-z$ 、 $1 \leq n \leq 2$ 、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $0 \leq z \leq 1$ で表される窒化物半導体は、直接遷移型の化合物半導体であり、かつ広いエネルギーギャップを持つために、短波長光源や耐環境デバイスとして脚光を浴びている。例えば、窒化ガリウム(以下、GaN)は約3.4eVの広いエネルギーギャップを持つため、青色から紫外領域にわたる光を発する発光素子として有望な材料である。

【0003】窒化物半導体の単結晶膜は、サフアアやSiCなどの異種材料の基板を用い、その上にMOVPE(有機金属気相成長)法、MBE(分子線結晶成長)法やHVPPE(ハイドロライド気相成長)法などのエビタキシャル法により得ることができる。なかでも、HVPPE法は、成長速度が大きいという特徴を持つため、GaN単結晶基板を作製するための厚膜成長法として注目されている。

【0004】ところで、サフアアを基板としてGaN厚膜を成長した場合、サフアアはGaNとの格子定数差が13.8%、熱膨張係数差が25.5%もあることから、基板との界面で 10^{10} cm^{-2} と高密度の転位が発生し、また、生じる結晶欠陥あるいは熱歪により亀裂や基板の反りが発生する。

【0005】近年、選択成長とマスク上の横方向成長(ELOC)法を利用してマスクの埋め込み構造を作製する方法(特公平6-105797号公報)により、転位密度が $10^6/\text{cm}^2$ 程度のGaN単結晶膜を作製できるまでに至っている。

【0006】また近年、GaN膜に溝を形成し、溝の内部に窒化シリコンよりなるマスクを形成し、さらにそのGaN膜の上にGaN層を結晶成長させる方法すなわちABLEG法が提案されている(Isao Kidoguchi 他、ジャパニース・ジャーナル・オブ・フサイド・フサイド第39巻第1453ページ〜1456ページ(2000年)、Isao Kidoguchi et. Al., Japanese Journal of Applied Physics Volume 39 (2000) pp. 1453-1456)。その結晶成長方法を図4に示し、以下に説明する。

【0007】まず、図4(a)に示すように、MOVPE法によりサフアア基板31上にAlNまたはGaN層32を介してGaN層33を形成する。次に、GaN層33表面にストライプ状のレジストマスク34を形成し、これをマスクとして台形溝を形成した後、シリコン酸化膜35を全面に堆積する(図4(b))。その後、リフトオフにより台形溝部にのみシ

【特許請求の範囲】

【請求項1】 基板上の一部分にマスク材を形成する工程と、前記基板の前記マスク材を除去する工程と、前記基板を酸化させて前記凹部に保護膜を形成する工程と、前記基板を酸化させて前記凹部に保護膜を形成する工程と、前記基板を酸化させて前記凹部に保護膜を形成する工程とを有する半導体装置の製造方法。

【請求項2】 前記基板を酸化させる代わりに前記基板を酸化させて前記凹部に保護膜を形成する工程を有する半導体装置の製造方法。

【請求項3】 前記保護膜を形成する工程が、高温反応炉内で酸素又は水蒸気と前記基板とを反応させて熱酸化膜を形成する工程である請求項1記載の窒化物半導体の製造方法。

【請求項4】 前記凹部として溝または穴を形成した請求項1記載の半導体装置の製造方法。

【請求項5】 前記基板としてシリコンを用い、前記マスクとして窒化シリコンを用い、前記保護膜として酸化シリコンを用いる請求項1記載の半導体装置の製造方法。

【請求項6】 前記基板の主面が(111)面であり、前記凹部はストライプ状であり、そのストライプの方向が<11-2>方向である請求項1記載の半導体装置の製造方法。

【請求項7】 基板上の一部分にマスク材を形成する工程と、前記基板の前記マスク材の一部分に凹部を形成する工程と、前記基板を酸化させて前記凹部に保護膜を形成する工程と、前記マスク材を除去する工程と、前記基板の前記マスク材が除去された領域上に選択的に半導体膜を形成する工程と、前記基板を除去する工程とを有する半導体装置の製造方法。

【請求項8】 前記基板を除去する工程が、前記基板の裏面にエッチングガス吹き付ける工程を含む請求項7記載の半導体装置の製造方法。

【請求項9】 前記基板を酸化させて前記凹部に保護膜を形成する工程が、熱酸化を用いて保護膜を形成する工程である請求項7記載の半導体装置の製造方法。

【請求項10】 主面に凹部と凹部とが形成されかつ前記凹部の表面が酸化または窒化された基板と、前記基板の前記主面に半導体膜が形成された半導体装置。

【請求項11】 前記基板の凹部に窒化アルミニウム膜が形成され、かつ前記窒化アルミニウム膜の上に前記半導体膜が形成された請求項10記載の半導体装置。

【発明の詳細な説明】

【0001】

リコン酸化膜 35 が残留するようにする (図 4 (c))。次に、再び MOVPE 法により台形溝部を覆うように GaN 層 36 を堆積して表面平坦な層を形成するものである (図 4 (d))。

【0008】

【発明が解決しようとする課題】サファイア基板等の異種材料基板上に窒化物半導体膜を形成する場合、特に数 $10\mu\text{m}$ 以上の厚膜を形成する場合に、亀裂と反りが問題となる。亀裂や反りが生じるのは、基板と窒化物半導体膜との間に格子不整合がある場合、基板と窒化物半導体膜との間に熱膨張係数の不整合がある場合やドーピングレベルを大きくしたときに窒化物半導体膜の格子定数が変化する場合である。中でも基板と窒化物半導体膜との間の熱膨張係数の不整合は、温度変化に応じた窒化物半導体膜の格子定数の増大または減少に関して生じるものであり、とりわけ成長後の基板温度降下中に生じた場合に窒化物半導体膜にクラックが生じやすくなる。

【0009】ELOG法を用いると、基板と窒化物半導体膜との界面に発生する転位の低減が可能であり、また基板と窒化物半導体膜との接触面積が小さいため亀裂や反りがある程度抑制される。しかし、マスク上への横方向成長の際に、マスク材が障害となってマスク上で結晶軸が傾斜する領域が形成されるという問題が生じ、高品質な GaN 単結晶膜を作製することが困難である。

【0010】一方、ABLEG法を用いた場合、GaN 層 36 が横方向に成長していく際、結晶成長方向に障害物がないような理想的な場合には GaN 層 36 の結晶軸の方向が乱れるのを防止できる。しかしながら図 4 に示す方法では、レジストをリフトオフにより除去する際に例えば図 5 に示すようにリフトオフ部での凹凸が発生しやすくなって高精度かつ平坦なシリコン酸化膜 35 の形成が困難となる。その結果、GaN 層 36 を結晶成長させた場合に GaN 層 36 の結晶軸の傾斜が生じて GaN 層 36 の結晶性を著しく悪化させてしまう。また、サファイア基板は化学的に安定で硬度が高く加工性に乏しいので、直接台形溝を形成できず一旦 GaN 層 36 を形成した後に形成することとなるため製造工程が複雑となるだけでなく、GaN 層 36 を堆積した後にサファイア基板を研磨やエッチングして除去することが困難である。

【0011】上記課題に鑑み、本発明は窒化物半導体膜の形成時に発生する歪や欠陥や結晶軸の傾斜に係わる課題を解決し、また厚膜を成長しても亀裂や反りの問題を克服する高品質の窒化物半導体膜や窒化物単結晶基板、及び簡便かつ安価に達成できる窒化物半導体膜や窒化物単結晶基板の製造方法を提供するものである。

【0012】

【課題を解決するための手段】本発明の半導体装置の製造方法は、基板上の一部分にマスク材を形成する工程と、前記基板の前記マスク材のない部分に凹部を形成する工程と、前記基板を酸化させて前記凹部に保護膜を

形成する工程と、前記マスク材を除去する工程と、前記基板の前記マスク材が除去された領域上に選択的に窒化物半導体膜を形成する工程とを有するものである。

【0013】この構成により、基板の凹部周辺に凹凸がほとんど生じないので、凹凸などの障害物の存在にともない生じる窒化物半導体膜の結晶軸の傾斜を防止することができる。

【0014】本発明の半導体装置の製造方法は、かかる構成につき、保護膜を形成する工程が、高温反応炉内で酸素又は水蒸気と前記基板とを反応させて熱酸化膜を形成する工程であることにより、凹部に高精度に酸化膜を形成できるとともに基板円周側面にも酸化膜を形成できる。

【0015】本発明の半導体基板の製造方法は、かかる構成につき、基板の主面が (111) 面であり、前記凹部はストライプ状であり、そのストライプの方向が $<11-2>$ 方向であることにより、窒化物半導体膜結晶の格子配列を基板の格子配列に近づけることができる。

【0016】本発明の半導体基板の製造方法は、基板上の一部分にマスク材を形成する工程と、前記基板の前記マスク材のない部分に凹部を形成する工程と、前記基板を酸化させて前記凹部に保護膜を形成する工程と、前記マスク材を除去する工程と、前記基板の前記マスク材が除去された領域上に選択的に窒化物半導体膜を形成する工程と、前記基板を除去する工程とを有するものである。

【0017】この構成により、基板の凹部周辺に凹凸がほとんど生じないので、凹凸などの障害物の存在にともない生じる窒化物半導体膜の結晶軸の傾斜を防止することができる。

【0018】本発明の半導体基板の製造方法は、かかる構成につき、基板を除去する工程が、前記基板の裏面にエッチングガスを吹き付ける工程を含むことにより、基板温度を下げることなく高温で基板裏面にエッチングガスを吹き付けることができるので、熱膨張係数差にともなう窒化物半導体膜の反りや亀裂を無視することができる。

【0019】本発明の半導体装置は、主面に凸部と凹部とが形成されかつ前記凹部の表面が酸化または窒化された基板と、前記基板の前記主面上に窒化物半導体膜が形成されたものである。

【0020】この構成により、凹部の表面が酸化または窒化された基板を用いているので、結晶軸の傾斜がほとんどない窒化物半導体膜を得ることができる。

【0021】

【発明の実施の形態】本発明の実施の形態について、図面を用いて以下に説明する。

【0022】(実施の形態 1) 図 1 は本発明の実施の形態 1 に係わる窒化物半導体膜及びその製造方法について示したものである。

【0023】まず、図1(a)に示すように、(111)面を主面とする直径2インチのシリコン基板11上に、SiN膜を堆積し、フォトリソグラフィ法とウエットエッチングで成長領域となる部分だけに200nm厚のSiNマスク12を形成する。SiNマスク12は、6μm間隔に形成した2μmの幅のストライプ状である。ストライプ方向は<11-2>方向とした。なお、ここで<11-2>方向とは、

【0024】

【外1】

<112>

【0025】を表す。

【0026】続いて、SiNマスク12を用いてシリコン基板11をウエットエッチングし、深さ0.5μm、の台形溝を形成する(図1(b))。

【0027】次に、1000℃程度に加熱された酸化炉にシリコン基板11を配置し、酸素などの酸化媒体を含んだガスを導入し、エッチング保護膜としての厚さ2000nmのシリコン酸化膜(SiO₂膜)13を台形溝の表面に形成する(図1(c))。ここで、熱酸化によりシリコン基板円周側面にもシリコン酸化膜13が十分に被覆される。

【0028】その後、SiNマスク12を熱燐酸でウエットエッチングして除去する(図1(d))。この段階においてシリコン基板を拡大率10000倍の電子顕微鏡で観察したところ、シリコン基板11の台形溝周辺に凹凸はほとんど観察されなかった。これは熱酸化により高精度に台形溝部にシリコン酸化膜13を形成できるからである。

【0029】その後、シリコン基板11を減圧MOVPE装置内のサセプター上に配置し、N₂ガスを10slm(1slmとは標準状態の気体が1分間に1l流れる流量のことである)の流量で供給しながら、基板温度を1100℃まで上昇させて10分間保持し、シリコン基板11表面のサーマルクリーニングを行う。減圧MOVPE装置内の圧力を6.67×10³Paとした。続いて、基板温度を950℃まで降下させて、N₂ガスに加え、流量が1slmのアンモニアガスと流量が30μmol/min(1mol/minとは気体等が1分間に1molだけ流れる流量のことである)のトリメチルアルミニウムを添加して、シリコン基板11上に20nm厚のAlN緩衝層14を形成する。その後、トリメチルアルミニウムの供給を停止する。AlN緩衝層14はシリコン酸化膜13を形成した台形溝部には形成されず、選択的に成長領域のみに形成される(図2(a))。これは、台形溝部上に形成されたシリコン酸化膜13にAlN成長抑制効果があるためである。ここで、AlNである必要は必ずしもなく、GaNなど他の材料でも同様の効果が期待できる。

【0030】続いて、基板温度を1050℃まで上昇させて、流量が50μmol/minのトリメチルガリウムを添加して、図2(b)、(c)、(d)に示すように、GaN層15をAlN緩衝層14上に積層する。GaN層15は次第に台形溝上に広がって行く。成長につれて隣接する成長領域から広がってきた結晶と接して台形溝部を覆い尽くすと、今度は、上方へGaN層15が堆積される。成長速度は5μm/hであり、2時間で約10μm厚みのGaN層15が形成される。その後、トリメチルガリウムの供給を停止し、基板温度を室温まで降下させてシリコン基板11上に堆積した10μm厚のGaN層15を得る。

【0031】上記本発明の半導体装置の製造方法によれば、独立した成長領域から核を発生させて結晶成長させるので、GaN層15の中の内部応力を大幅に低減することができるとともに、シリコン基板11の台形溝周辺に凹凸がほとんど生じないので、従来の技術において示したようなリフトオフ部でのシリコン酸化膜の凹凸などの障害物の存在にともない発生する結晶軸の傾斜を防止することができる。さらにシリコン基板は安価かつ入手が容易であり、ウエットエッチングやシリコン熱酸化膜の形成等の加工が容易であるので半導体装置の製造コスト低減に有効である。

【0032】とりわけシリコン基板を(111)面を主面とし、SiNマスクのストライプ方向を<11-2>方向としているので、GaN層15の格子配列をシリコン基板の格子配列に近づけることができる。その結果、より良好な結晶性を有する半導体装置を得ることができる。

【0033】上記本発明の半導体装置の製造方法により形成されたGaN層15は、10μmの厚みにもかかわらず、クラックは発生せず、転位密度は10⁶cm⁻²と良好なものであった。また、結晶軸の傾斜は面内で0.1°以下と良好であり、それに起因した新たな欠陥も認められなかった。

【0034】(実施の形態2)図3は本発明の実施の形態2に係る窒化物半導体基板の製造方法について示したものである。

【0035】まず、(111)面が主面である直径2インチのシリコン基板11上にSiN膜を堆積し、フォトリソグラフィ法とウエットエッチングで成長領域となる部分だけに200nm厚のSiNマスク12を形成する工程からSiNマスク12を熱燐酸でウエットエッチング除去する工程まで、およびシリコン基板11表面のサーマルクリーニングを行う工程からシリコン基板11上に20μm厚のAlN緩衝層14を形成する工程までは実施の形態1と同じである。

【0036】次に、シリコン基板11をハイドライドVPE装置内に配置する。反応室を真空中に引いて約1000℃に加熱する。石英のGa溜めを850℃に加熱しG

a融液とする。原料ガス導入口から水素ガスと塩化水素ガスの混合ガスをGa溜めに導き、塩化ガリウムを合成する。別の原料ガス導入口から水素とアンモニアの混合ガスを導入し、1000℃に加熱された基板付近で反応を起こさせシリコン基板11上にGaN層16を堆積させる。図3(a)、(b)、(c)に示すように、GaN層16はAlN緩衝層14上に堆積される。GaN層16は次第に台形溝上に広がって行く。成長につれて隣接する成長領域から広がってきた結晶と接して台形溝部を覆い尽くすと、今度は、上方へGaN層16が堆積される。成長速度は100μm/hであり、1時間で100μm厚みのGaN層16が形成される。このように独立した成長領域から核を発生させて結晶成長させるので、GaN層16の中の内部応力を大幅に低減することができる。

【0037】最後に、HF:HNO₃系のエッチャントを用いて、シリコン基板11をエッチング除去してGaN層16だけの結晶とし、両面を研磨してGaN単結晶基板を得る(図3(d))。

【0038】上記本発明の半導体基板の製造方法によれば、実施の形態1と同様にGaN層16の中の内部応力を大幅に低減できるとともに、リフトオフ部でのシリコン酸化膜の凹凸などの障害物の存在にともない発生する結晶軸の傾斜を防止することができる。さらにシリコン基板は安価かつ入手が容易であり、ウェットエッチングやシリコン熱酸化膜の形成等の加工が容易であるので半導体基板の製造コスト低減に有効である。

【0039】上記本発明の半導体基板の製造方法により形成されたGaN基板16は、100μmの厚みにもかかわらず、クラックは発生せず、転位密度は10⁶cm⁻²と良好なものであった。また、結晶軸の傾斜は面内で0.1°以下と良好であり、それに起因した新たな欠陥も認められなかった。

【0040】なお、上記実施の形態において、エッチングを成長後に基板温度を下げることなく、高温で基板裏面に塩化水素などのエッチングガスを吹き付けて行うこともでき、この場合、熱膨張係数差にともなう反りや亀裂を無視できるようになるのでより好ましい。

【0041】また、HVPE法を用いた成長方法では、成長中にシリコン基板が塩素系ガスにより腐食されるという問題があったが、熱酸化によりシリコン基板円周側面まで十分被覆されるので腐食されることがほとんどない。

【0042】さらに、シリコン酸化膜13の代わりにSiN膜、とりわけシリコン基板11を窒化させてできるSiN膜を用いても同様の効果が得られる。この場合、SiNマスクの代わりにSiO₂マスクを用い、エッチング液としてフッ酸を用いるとよい。

【0043】なお、実施の形態1および2においては、GaN膜を形成したが、InGaN膜、AlGaN膜等、B_xAl_yGa_{1-x-y-z}In_zN(0≤x≤1、0≤y≤1、0≤z≤1)で表される窒化物半導体よりなる膜としても差し支えない。さらに窒化物半導体膜にドーピングしても同様の効果が得られる。

【0044】また、実施の形態1および2においてGaN膜を形成する代わりに、シリコン酸化膜を覆って結晶成長する半導体膜(窒化物半導体よりなる膜に限らない)を形成してもよい。

【0045】また、上記実施の形態では成長領域として<11-2>方向のストライプとしたが、これに限定されるものでなく、ドット状でもよい。また、基板にはシリコンを用いたが、必ずしもこれに限定されるものでなく、GaAs基板やInP基板などでもよい。

【0046】

【発明の効果】以上説明したように、本発明の半導体基板の製造方法、半導体装置の製造方法および半導体装置によれば、異種材料基板を用いる場合に熱膨張係数差によって生じる亀裂や反りを抑制できて、高品質な窒化物半導体膜を有する半導体装置や半導体基板を得ることができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る半導体装置の製造方法の各工程を示す断面図

【図2】本発明の実施の形態1に係る半導体装置の製造方法の各工程を示す断面図

【図3】本発明の実施の形態2に係る半導体装置の製造方法の各工程を示す断面図

【図4】従来の半導体装置の製造方法を示す断面図

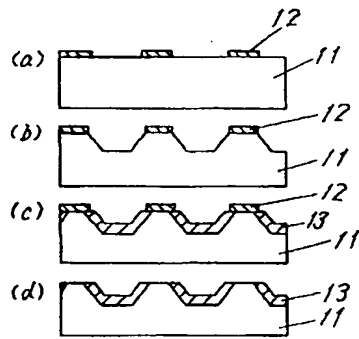
【図5】従来の半導体装置の製造方法におけるリフトオフ部のシリコン酸化膜形状を示す見取り図

【符号の説明】

- 11 シリコン基板
- 12 SiNマスク
- 13 シリコン酸化膜
- 14 緩衝層
- 15, 16 GaN層

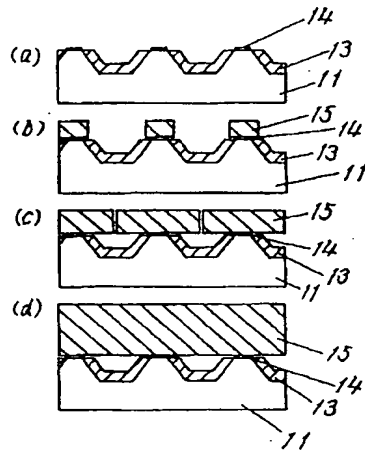
【図1】

11 シリコン基板
12 SiNマスク
13 シリコン酸化膜



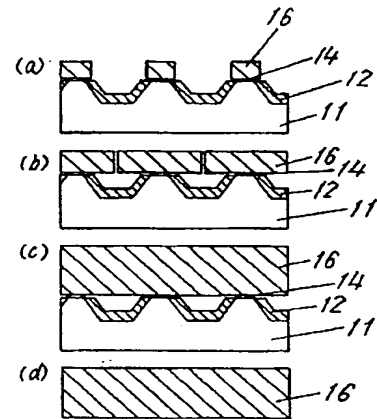
【図2】

11 シリコン基板
13 シリコン酸化膜
14 AlN緩衝層
15 GaN層



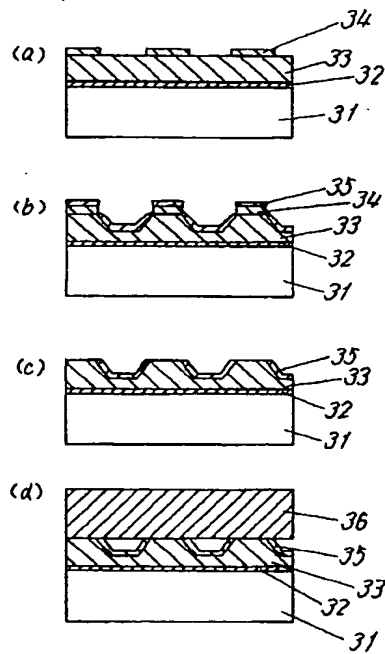
【図3】

11 シリコン基板
12 SiNマスク
14 AlN緩衝層
16 GaN層



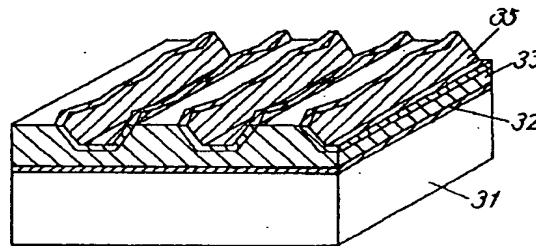
【図4】

31 サファイア基板
32 AlN緩衝層
33 GaN層
34 レジスト
35 シリコン酸化膜



【図5】

31 サファイア基板
32 AlN緩衝層
33 GaN層
35 シリコン酸化膜



フロントページの続き

Fターム(参考) 4K030 AA03 AA11 AA13 AA17 AA18
BA02 BA08 BA38 BB02 CA04
FA10 LA11
5F041 AA40 CA23 CA33 CA34 CA40
CA46 CA65 CA74
5F045 AA04 AA20 AB09 AB14 AB17
AB19 AB32 AB33 AC08 AC11
AC12 AD13 AD14 AF03 AF13
AF20 BB08 BB11 BB12 CA10
DA53 DB02 DQ08 EB15 HA04
HA13
5F073 CB04 CB07 DA05 DA22 EA29